

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-308570**

(43)Date of publication of application : **19.11.1993**

(51)Int.Cl.

H04N 5/265

H04N 5/45

(21)Application number : **05-031079**

(71)Applicant : **THOMSON CONSUMER ELECTRON INC**

(22)Date of filing : **08.01.1993**

(72)Inventor : **SAEGER TIMOTHY W  
HORLANDER KARL F**

(30)Priority

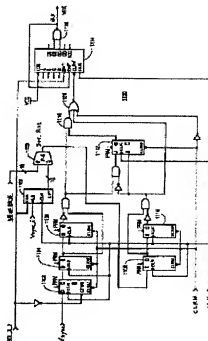
Priority number : **92 818320** Priority date : **08.01.1992** Priority country : **US**

## (54) VIDEO DISPLAY CONTROL SYSTEM

(57)Abstract:

PURPOSE: To exactly generate a vertical reset pulse irrespective of the phase of Vsync and a delay set value for vertical reset.

CONSTITUTION: A comparator 1103 compares the output of a counter 1101 with a delay set value corresponding to a desired pan value, and when they are coincident, it outputs a start reset signal Str-Rst. A circuit including flip flops 1108 and 1110 generates a first signal for starting a delayed reset pulse based on the Str-Rst. A circuit including flip flops 1102, 1104, and 1106 generates a second signal for starting the delayed reset pulse based on Vsync. A circuit including a flip flop 1112, AND gate 1116, and NOR gate 1120 outputs the first signal when it is present, and outputs the second signal when the first signal is not present. A counter 1114 generates a vertical reset pulse Vrst based on this output.



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-308570

(43)公開日 平成5年(1993)11月19日

(51)Int.Cl.<sup>4</sup>H 0 4 N 5/265  
5/45

識別記号

庁内整理番号

7337-5C

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 27 頁)

(21)出願番号 特願平5-31079

(22)出願日 平成5年(1993)1月8日

(31)優先権主張番号 8 1 8 3 2 0

(32)優先日 1992年1月8日

(33)優先権主張国 米国(US)

(71)出願人 391000818

トムソン コンシューマ エレクトロニクス  
インコーポレイテッド  
THOMSON CONSUMER ELECTRONICS, INCORPORATED  
アメリカ合衆国 インディアナ州 46201  
インディアナポリス ノース・シヤーマン・ドライブ 600

(72)発明者 テイモシー ウィリアム シーガー

アメリカ合衆国 インディアナ州 インディアナポリス  
ナシユア・ドライブ 8318

(74)代理人 弁理士 渡辺 勝徳

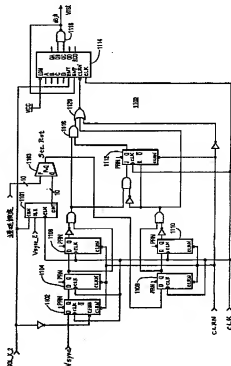
最終頁に続く

(54)【発明の名称】 ビデオ表示制御システム

(57)【要約】

【構成】 比較器1103は、カウンタ1101の出力と所望のパン値に対応する遅延設定値とを比較し、両者が一致すると、開始リセット信号Str\_Rstを発生する。フリップフロップ1108、1110を含む回路は、Str\_Rstに基づいて、遅延されたリセットパルスを開始させる第1の信号を発生する。フリップフロップ1102、1104、1106を含む回路は、Vsyncに基づいて、遅延されたリセットパルスを開始させる第2の信号を発生する。フリップフロップ1112、アンドゲート1116、ノアゲート1120を含む回路は、第1の信号があればそれを出力とし、なければ第2の信号を出力とする。カウンタ1114はこの出力に基づいて垂直リセットパルスVrstを発生する。

【効果】 Vsyncの位相および垂直リセットのための遅延設定値に関係なく、確実に垂直リセットパルスを発生することができる。



## 【特許請求の範囲】

【請求項1】 ビデオ信号を表示する表示手段と、前記ビデオ信号から、前記表示手段よりも大きな垂直高さを有する画像を発生する手段と、

前記ビデオ信号の垂直同期成分に対して遅延された垂直リセットパルスを開始するためにビデオライン遅延期間を発生することにより前記画像の選択された部分を前記表示手段に表示する垂直バニング回路と、

前記ライン遅延期間よりも大きいビデオライン数を有するフィールドが生じると前記遅延したりリセットパルスを発生する計数手段と、

前記垂直同期成分に 대응し、前記ライン遅延期間よりも少ないビデオライン数を有するフィールドが生じると前記遅延したりリセットパルスを発生する手段とを含んでいる、ビデオ表示制御システム。

【請求項2】 ビデオ信号を表示する表示手段と、前記ビデオ信号から、前記表示手段よりも大きな垂直高さを有する画像を発生する手段と、

前記ビデオ信号の垂直同期成分に対して遅延した垂直リセットパルスを開始するために時間遅れを発生することにより、前記画像の選択された部分を前記表示手段に表示する垂直バニング回路と、

前記ビデオ信号の連続するフィールドと連続する時間遅れの期間を比較する手段と、

前記時間遅れのうちの対応する1つよりも長い期間を有するフィールドが生じた時に前記遅延したりリセットパルスを発生する第1の手段と、

前記時間遅れのうちの対応する1つよりも短い期間を有するフィールドが生じた時に前記遅延したりリセットパルスを発生する第2の手段とを含んでいる、ビデオ表示制御システム。

【請求項3】 ビデオ信号を表示する表示手段と、前記ビデオ信号から、前記表示手段よりも大きな垂直高さを有する画像を発生する手段と、

前記ビデオ信号の垂直同期成分に対して時間遅延を発生することにより、前記画像の選択された部分を前記表示手段に表示する垂直バニング回路と、

前記ビデオ信号の順次フィールドと前記時間遅延とを持続期間において比較する比較手段と、

前期比較手段に 1 対し、前記ビデオ信号の1フィールドと前記時間遅延が持続期間において一致するとき、遅延したリセットパルスを開始させる第1の信号を発生する手段と、

前記垂直同期成分にしたがって前記遅延したりリセットパルスを開始させる第2の信号を発生する手段と、

前期第1および第2の信号の中の1つを選択する選択手段と、

前期選択手段に 1 対し、前記遅延した垂直リセットパルスを発生する手段とを含んでいる、ビデオ表示制御システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、非同期ビデオ信号について複数の画像表示を有するテレビジョンの分野に関し、特に、ワイド表示型の画面を有するテレビジョンに関する。最近まで、大抵のテレビジョンは画面の表示比（画面の横と縦の比）が4:3である。ワイド型表示比は映画の画面表示比（例えば、16:9）に近い。本発明は、直視型テレビジョンと投射型テレビジョンの両方に利用できる。

## 【0002】

【発明の背景】画面表示比4:3（しばしば4×3として表わす）を有するテレビジョンは、単一および複数のビデオ信号源を表示することのできる方式に限定されている。民間放送のテレビジョン信号は、実験放送を除いて、4×3の画面表示比で放送される。多くの視聴者は、4×3表示型はもっと広い表示比の映画の画面よりも見易くないと感じている。ワイド型表示比を有するテレビジョンは、画面が見易いだけでなく、ワイド表示型信号源を、それに対応するワイド表示型で表示することができる。映画は、切り取られたりゆがめられたりせずに、映画「らしく見える」。ビデオ信号源は例えば、テレビ装置やテレビジョン内のプロセッサでフィルムからビデオに変換される時に、切り取られる必要はない。

【0003】ワイド表示型のテレビジョンは、従来型信号とワイド表示型信号用の多種多様な表示や、それらを組み合わせた複数画像表示にも適している。しかしながら、ワイド表示画面を使用することは多数の問題を伴う。このような問題のうち一般的なものとして、複数の信号源の画面表示比を変更すること、非同期の同時に表示される信号源から一様なタイミング信号を発生すること、複数の表示画像を発生するために複数の信号源を切り換えること、および圧縮されたデータ信号から高解像度の画像を発生することである。このような問題は、本発明に従うワイドスクリーンテレビジョンにより解決される。本発明の種々の特徴に従うワイドスクリーンテレビジョンは、同様なまたは異なる画面表示比を有し、また表示比が選択可能な単一および複数の非同期信号源から、単一または複数の高解像度画像表示を行うことができる。

【0004】現在消費者の手に入るほとんど全てのビデオ製品は4×3の画面表示比を有するが、ビデオ製作の画面表示比はさまざまである。ビデオ製作に4×3以上のアスペクト比を用いると、消費者用テレビジョンで表示する前にアスペクト比の変換を行わなければならない。さもなければ画像の歪みを生じる。アスペクト比を変換する1つの方法は、レターボックス法（letter boxing）として知られている。レターボックス法は、各フィールドにおいて表示されるラインの数を犠牲にして、より多くの（またはすべての）水平情報を保

持する。16×9型で製作されるビデオ信号源は、4×3レターボックス型に変換されると、毎フィールド181本のビデオラインを含むことになる。各フィールドで使用されない余分のラインは、平坦なフィールドの黒（または灰色）レベルにセットすることができる。より高いアスペクト比のビデオ信号源では毎フィールドに含まれるラインの数は比例的に少なくする。

【0005】例えば、ここで述べるワイドスクリーンテレビジョンは、16×9の画面表示比を有する。このため、より高い融通性を持って信号をレターボックス型で表示する機会が得られる。最初は16×9のアスペクト比で発生されたレターボックス信号は垂直方向に画面一杯にズーム（すなわち伸長）され、水平方向の情報の喪失や歪みを生じない。自動レターボックス検出器は、ビデオ信号は有効ビデオ（すなわち、閾値以下のほぼ一定のルミナンス値）を持たないという仮定に基づかせることができる。あるいは、レターボックスの検出は、ビデオフィールド内の各ラインについて2つの勾配を計算することにより行うことができる。第1の勾配は、正の勾配と称し、現在のラインの最大値から前のラインの最小値を引き算することにより形成される。第2の勾配は、負の勾配と称し、前のラインの最大値から現在のラインの最小値を引き算することにより形成される。いずれの勾配も、画面の内容に依り、正または負の値を取り得るが、両勾配の負の値は無視される。いずれかの勾配がプログラム可能な閾値を超える正の値を持つならば、現在のラインか、または前のラインに、ビデオが存在すると考えられる。これらのレジスタ値は、ビデオ信号源がレターボックス型であるかどうかを決定するためにマイクロプロセッサで使うことができる。さらにもう一つの方法（図示せず）では、自動レターボックス検出器は、レターボックス信号源により選ばれた符号ワードまたは信号を復号化してレターボックス型の信号として識別する回路を含んでいる。

【0006】自動レターボックス検出器は、垂直サイズ制御回路の一部を形成することができる。垂直サイズ制御回路は、レターボックス検出器と垂直表示制御回路を含んでいる。垂直帰線消去パルスおよび垂直リセットパルスは、別々の信号として、または1個の3レベル信号として伝送することができる。自動レターボックス検出回路は、4×3型表示比の信号（これには16×9型表示比のレターボックス表示も含まれる）の垂直ズームすなわち伸長を自動的に実行することができる。出力信号が有効になると、垂直偏向の高さは4/3だけ増加するので、レターボックス信号の有効ビデオ部分は、画像のアスペクト比が歪むことなく、ワイドスクリーンを満たす。

【0007】また垂直表示制御回路は、過走査されたラスタのどの部分が画面に表示されるかを制御する。これは垂直バニングと称される特徴である。垂直方向に過

走査されたビデオ信号がレターボックス型でなければ、ワイドスクリーン型に似せるために、従来の表示型画像をズーム（すなわち、伸長）することができる。しかしながら、この場合、4/3垂直過走査で切り取られた画像の部分は、有効なビデオ情報を含んでいる。画像の1/3を垂直方向に切り取る必要がある。それ以上の調節をしないと、上部の1/6および下部の1/6は常に切り取られる。しかしながら、画像内容により、画像の下部よりも上部を切り取った方が良く、またはその逆の方が良いかが指示される。すべての動作が、例えば、地上レベルで行われている場合、視聴者は空の部分をもっと切り取ることを好むかも知れない。垂直バニングにより、ズームされた画像のどの部分を見せるのか、またどの部分を切り取るのかを選択することが可能となる。これは、処理済み垂直同期パルス（Vsyncと称す）の前縁から可変量だけ遅延される垂直リセットパルスを発生することにより、ワイドスクリーンプロセッサ内で行われる。次に、この垂直リセットパルスは、垂直リトレスを開始するために、シャーンで使用される。ワイドスクリーンプロセッサのビデオ出力は遅延されていないので、垂直帰線消去パルスおよび垂直リセットパルスの遅延を適当に操作することにより、垂直バニングの特徴が作り出される。

【0008】垂直リセット発生回路は、ビデオラインカウンタと比較器を含んでいる。比較器への入力は、ラインカウンタの出力と所望のバニングに相当するビデオラインの遅延設定である。わずかな量（例えば、4～5ライン）だけ画面の上方へバニング（これは画面を下方へスクロールすると考えることもできる）ことが望ましいならば、垂直リセットパルスは、26.25ライン（飛越走査形式のNTSC方式におけるフィールド当たりのライン数）からバニングを引いたライン数だけ垂直同期パルスから実際に遅延される。この差が遅延設定すなわち遅延値である。カウンタの出力がこの遅延設定と一致するときはいつも、開始リセット信号が発生される。

【0009】垂直バニングを用いる時に遭遇する問題は、VCRの特殊効果モードの間に起こる。VCRの速い前述モードでは、線形のテープ速度が標準的でないために、1フィールド内のライン数は、記録モード（SP、LPまたはSLP）および線形テープ速度に依存する数だけ減少する。ここでは、VCR再生の速い前進モード（SPモード）に含まれているフィールド当たりの公称ライン数は25.35ラインであると仮定している。望ましいバニング値が5ラインだけ下がると、遅延の設定は、26.25ライン-5ライン=25.75ラインとなる。しかしながら、新しいVsyncは25.35ラインごとに関起り、ラインカウンタをリセットする。このモードの間、垂直リセットは起こらない。なぜならば、ラインカウンタは、所望の遅延値に決して達することなく、絶えずリセットされるからであり、垂直

ラスターの崩壊や受像管の損傷を生じる。

【00010】

【発明の概要】この問題は、ここに開示する発明の特徴を有するビデオ表示制御システムにおいて解決される。このビデオ表示制御システムは、ビデオ信号を表示する表示手段、この表示手段よりも大きい垂直の高さを有する画像をビデオ信号から発生する手段、ビデオ信号の垂直同期成分に対して垂直リセットパルスの位相を遅延させる時間期間を発生することにより、画像の選択された部分を表示手段に表示する垂直パンニング回路、および垂直走査期間がこの時間期間よりも短い持続期間に生じるとき第1の動作モードをとり、垂直走査期間がこの時間期間よりも短い持続期間に生じないとき第2の動作モードをとり、遅延された垂直リセットパルスを発生する手段を含んでいる。この位相の遅延された同期パルスは、第1の動作モードの間は垂直同期パルスに充当して開始し、第2の動作モードの間は計数手段に充当して開始する。例示した実施例において、カウンタと比較器に 대응する回路は、ビデオ信号の1フィールドと時間遅延が持続期間において一致するとき、遅延されたリセットパルスを開始させる第1の信号を発生する。もう一つの回路は、垂直同期成分に充当して、遅延されたリセットパルスを開始させる第2の信号を発生する。ゲート回路は、第1の開始信号があれば第1の開始信号を出力として選択し、第1の開始信号が無いことを検出すると、第2の開始信号を出力して選択する。また、カウンタは、ゲート回路により選択された出力に充当して、遅延された垂直リセットパルスを発生する。

【00111】

【実施例】図1の種々の部分は、異なる発明的構成に従って実現することのできる単一および複数の画像表示型の種々の組み合わせのうちの一つを示す。図1に示すものは、発明的回路に従いワイドスクリーンテレビジョンを構成する特定の回路の説明を容易にすることを目的とする。説明の便宜上、ビデオ信号源または信号に対する従来の画面の横と縦の比は一般に4×3と見なされ、ワイドスクリーン画面の横と縦の比は一般に16×9と見なされる。発明的構成はこれらに限定されるものではない。

【00112】図1の(a)は従来型の表示比4×3を有するテレビジョン(直視型または投射型)を示す。16×9型表示比の画像が4×3型表示比の信号として伝送されると、上部と底部に黒いバー(b a r)が現われる。これは普通、レターボックス型と呼ばれている。この場合、見られる画像は、利用できる表示領域全体に対してやや小さい。あるいは、16×9型表示比のビデオ信号源は伝送前に変換され、4×3型表示画面の縦幅を満たすようになる。しかしながら、左側および/または右側から多くの情報が切り取られる。更に別の方法として、レターボックス画像は縦方向に伸長することは

きながら横方向には伸長されず、その結果生じる画像は縦方向の伸長により歪みを生じる。これら3つの方法はどれも特に注目に値しない。

【00113】図1の(b)は16×9の画面を示す。16×9型表示比のビデオ信号源は、切り取られたり歪んだりせずに、画面一杯に表示されるであろう。16×9型表示比のレターボックス画像は、それ自体4×3型表示比の信号であり、十分な垂直解像度を有する、より大きな画像を表示するために、ライン倍増またはライン追加により順次走査することができる。本発明に従うワイドスクリーンテレビジョンは、主の信号源であろうと補助の信号源であろうと、あるいは外部のRGBソースであろうと、このような16×9型表示比の信号を表示することができるものである。

【00114】図1の(c)は16×9型表示比の主信号を示し、4×3型表示比の挿入画像が表示されている。主のビデオ信号と補助のビデオ信号が両方共16×9型表示比の信号源であるならば、挿入画像も16×9型表示比を持つことができる。挿入画像は多くの異なる位置

【00115】図1の(d)は、主ビデオ信号と補助ビデオ信号が同じ大きさの画像で表示されている表示型を示す。各々の表示領域の表示比は8×9で、これは勿論、16×9および4×3とは異なる。水平方向や垂直方向に歪みを生じることなく、このような表示領域に4×3型表示比のビデオ信号源を見せるには、左側および/または右側で信号を切り取らなければならない。画像を水平方向に圧縮することによりアスペクト比が多少歪むことが許容されるならば、切り取られる部分を少なくして、もっと多くの画像を示すことができる。水平方向に圧縮すると、画面内の対象物は垂直方向に伸長する。本発明に従うワイドスクリーンテレビジョンは、切り取りが最大でアスペクト比の歪みがゼロから、切り取りがゼロでアスペクト比の歪みが最大まで、切り取りとアスペクト比の歪みとの組み合わせが任意の割合で得られる。

【00116】補助ビデオ信号処理路におけるデータサンプリング上の制限が、主ビデオ信号からディスプレイと同じ大きさの高解像度画像を発生するのを困難にしている。この困難な問題を解決するために、種々の方法を開発することができる。

【00117】図1の(e)の表示型では、4×3型表示比の画像が16×9型表示比の画面の中央に表示されている。右側と左側に黒いバーが明らかに存在する。

【00118】図1の(f)の表示型では、1個の大きな4×3型表示比の画像と3個の小さな4×3型表示比の画像が同時に表示されている。大きな画像の外側にある小さな画像は、PIP(ピクチャーインピクチャ)ではなくPOP(ピクチャーアウトサイドピクチャ)と呼ばれることがある。PIPまたはピクチャーインピクチャとい

7

う用語は、ここでは両方の表示型について使用される。ワイドスクリーンテレビジョンが2個のチューナ（内部に2個、または内部に1個と外部に1個、例えば、ビデオカセットレコーダに1個）を備えている場合、表示された画像のうちの2個は、ビデオ信号源に従って動きをリアルタイムで表示することができる。その他の画像は静止画で表示することができる。更にチューナを追加し、補助信号処理路を追加すると、2個以上の動画を供給することできることが認められる。また、図1の（g）に示すように、大画像と3つの小画像は位置を変えられることが認められる。

【0019】図1の（h）では、4×3型表示比の画像が中央にあり、6個の小さな4×3型表示比の画像が両側に縦に表示されている。前に述べた表示型と同様に、チューナを2個備えたワイドスクリーンテレビジョンは2個の動画を供給することができる。残りの11個の画像は静止画となる。

【0020】図1の（i）に示す表示型では、12個の4×3型表示比の画像が格子状に並べられている。このような表示型はチャンネル選択案内に特に適しており、各画像は少なくとも各チャンネルからの静止画である。前述のように、動画の数に利用できるチューナおよび信号処理路の数に依って異なる。図1に示す種々の表示型は、説明上のものであって制限的なものではなく、他の図面に示され以下に詳しく述べるワイドスクリーンテレビジョンで実現することができる。

【0021】発明の構成に従う、2f<sub>H</sub>の水平走査で動作するのに適合したワイドスクリーンテレビジョンの全体のブロック図を図2に示し、全体として10で表わす。テレビジョン10は、一般に、ビデオ入力部20、シャージまたはTVマイクロプロセッサ216、ワイドスクリーン・プロセッサ30、1f<sub>H</sub>/2f<sub>H</sub>変換器40、偏向回路50、RGBインターフェース60、YUV/RGB変換器240、受像管ドライバ242、直視型もしくは投射型受像管244および電源70を含んでいる。説明の便宜上、種々の回路は機能ブロック別に分けられているが、このような回路の互いの物理的位置は制限されない。

【0022】ビデオ入力部20は、異なるビデオ信号源から複数の複合ビデオ信号を受け取るのに適している。これらのビデオ信号は、主ビデオ信号および補助ビデオ信号として表示するために選択的に切り換えられる。RFスイッチ204は2個のアンテナ入力ANT1とANT2を備えている。これらは、アンテナ受信およびケーブル受信用の入力である。RFスイッチ204は、どちらのアンテナ入力も第1のチューナ206と第2のチューナ208に供給されるかを制御する。第1のチューナ206の出力はワンチップIC202の入力であり、ワンチップIC202は、同調、水平/垂直偏向およびビデオ制御に関連する多数の機能を実行する。こ

8

こに示す特定のワンチップICは、業界で指定されたTA7730型である。ベースバンドのビデオ信号VIDEO OUTは、ワンチップICで発生され、第1のチューナ206からの信号から生じ、ビデオスイッチ200の入力であり、またワイドスクリーン・プロセッサ30のTV1入力への入力である。ビデオスイッチ200への他のベースバンドのビデオ入力は、AUX1およびAUX2で表わされる。これらは、ビデオカメラ、レーザディスクプレーヤ、ビデオテーププレーヤ、ビデオゲームなどに使用される。ビデオスイッチ200の出力は、シャージまたはTVマイクロプロセッサ216により制御され、SWITCHED VIDEOと称される。SWITCHED VIDEOはワイドスクリーン・プロセッサ30へのもう1つの入力である。

【0023】更に図3に關して、ワイドスクリーン・プロセッサのスイッチSW1は、Y/Cデコーダ210への入力であるSEL COMP OUTビデオ信号として、TV1信号とSWITCHED VIDEO信号のいずれかを選択する。Y/Cデコーダ210は、逆応型くし形フィルタとして実現される。更に2個のビデオ信号源S1とS2も、Y/Cデコーダ210への入力である。S1とS2は各々異なるS-VHS信号源を表わし、別々のルミナンス信号とクロミナンス信号から成る。スイッチが、逆応型ラインくし形フィルタにおけるように、Y/Cデコーダの一部として組み込まれ、あるいは別個のスイッチとして実現され、TVマイクロプロセッサ216に応答し、1対のルミナンス信号とクロミナンス信号をそれぞれY<sub>M</sub>およびC<sub>IN</sub>と称す出力として選択する。選択された1対のルミナンス信号とクロミナンス信号はその後、主信号と見なれ、信号路に沿って処理される。MまたはMNを含んでいる信号の名称は主信号路を指す。クロミナンス信号C<sub>IN</sub>はワイドスクリーン・プロセッサにより向きを変えられてワンチップICに戻され、色差信号U<sub>M</sub>およびV<sub>M</sub>を発生する。ここで、Uは(R-Y)と同等の名称であり、Vは(B-Y)と同等の名称である。Y<sub>M</sub>、U<sub>M</sub>、およびV<sub>M</sub>信号はワイドスクリーン・プロセッサ内でデジタル信号に変換されて、更に信号処理を受ける。

【0024】第2のチューナ208は、機能的にワイドスクリーンプロセッサ30の一部と称され、ベースバンドのビデオ信号TV2を発生する。スイッチSW2は、Y/Cデコーダ220への入力としてTV2信号とSWITCHED VIDEO信号のいずれかを選択する。Y/Cデコーダ220は逆応型ラインくし形フィルタとして実現される。スイッチSW3とSW4は、Y/Cデコーダ220のルミナンス出力とクロミナンス出力のいずれかを選択し、そして、外部ビデオ信号源のルミナンス信号とクロミナンス信号（それぞれY<sub>EXT</sub>およびC<sub>EXT</sub>と称す）のいずれかを選択する。Y<sub>EXT</sub>

信号とC\_EXT信号は、S-VHS入力S1に対応する。Y/Cデコーダ220およびスイッチSW3とSW4は、適応型ラインくし形フィルタにおけるように、結合することでもできる。スイッチSW3とSW4の出力はその後、補助信号と見なされ、補助信号路に沿って処理される。選択されたルミナンス出力はY\_Aと称す。\_A、\_A\_Xおよび\_A\_UXを含んでいる信号の名称は補助信号路を指す。選択されたクロミナンス信号は色差信号U\_AとV\_Aに変換される。Y\_A、U\_AおよびV\_A信号はデジタル信号に変換されて、更に信号処理を受ける。主信号路と補助信号路におけるビデオ信号源の切り換え構成により、異なる画像表示型の異なる部分に対するソースを選択する際最大限の適応型が得られる。

【0025】Y\_Mに対応する複合同期信号COMP SYNCは、ワイドスクリーン・プロセッサより同期分離器212に供給される。水平同期成分Hと垂直同期成分Vはそれぞれ、垂直計数ダウン回路214に入力される。垂直計数ダウン回路はVERTICAL RESET信号を発生し、VERTICAL RESET信号はワイドスクリーン・プロセッサ30の中に向けられる。ワイドスクリーン・プロセッサ30は、RGBインターフェース60に向けられる内部垂直リセット出力信号INT VERT RST OUTを発生する。RGBインターフェース60におけるスイッチは、内部垂直リセット出力信号と外部RGB源の垂直同期成分のいずれかを選択する。このスイッチの出力は、選択された垂直同期成分SEL\_VERT\_SYNCであり、偏向回路50に向けられる。補助ビデオ信号の水平同期信号と垂直同期信号はワイドスクリーン・プロセッサ内の同期分離器250により発生される。

【0026】 $1f_n/2f_n$ 変換器40は、飛越し走査されたビデオ信号を、順次走査される非飛越し走査信号に変換し、例えば、各水平ラインは2回表示され、あるいは、同じフィールドの隣接する水平ラインを補間することにより追加的な1組の水平ラインが発生される。場合によっては、前のラインの使用または補間されたラインの使用は、隣接するフィールドまたはフレーム間で検出される動きの程度に依って決まる。変換回路40はビデオRAM420と共に動作する。ビデオRAMは、順次表示を可能にするために、1フレームの1フィールドまたはそれ以上のフィールドを貯えるのに使用される。Y\_2f\_n、U\_2f\_nおよびV\_2f\_nとして変換されたビデオデータは、RGBインターフェース60に供給される。

【0027】RGBインターフェース(図11に詳しく示す)は、表示用の変換されたビデオデータまたは外部のRGBビデオデータをビデオ信号入力部により選択できるようにする。外部のRGB信号は、2f\_n走査に適合するワイド型表示比信号と見なされる。主信号の垂直

同期成分は、INT VERT RST OUTとしてワイドスクリーン・プロセッサによりRGBインターフェースに供給され、選択された垂直同期信号( $f_{vm}$ または $f_{vext}$ )が偏向回路50に利用できるようにする。ワイドスクリーンテレビジョンは、内部/外部制御信号INT\_VEXTを発生することにより、利用者が外部RGB信号を選択できるようにする。しかしながら、外部RGB信号の選択は、このような信号の無い場合、ラスターの縦の崩壊を生じたり陰極線管または投射管の損傷を生じることがある。従って、RGBインターフェース回路は、存在しない外部RGB入力の選択を無効にするために、外部の同期信号を検出する。またWSPマイクロプロセッサ340は、外部RGB信号のためにカラーおよび色相制御を行う。

【0028】ワイドスクリーン・プロセッサ(WSP)30は、補助ビデオ信号の特殊な信号処理のために、ピクチャーインピクチャープロセッサ320を含んでいる。ピクチャーインピクチャーという用語は、PIPまたはpicture-in-pictureと略して書かれることがある。ゲートアレイ300は、図1の(b)〜図1の(i)の例で示すように、主ビデオ信号データと補助ビデオ信号データを種々の表示型で組み合わせる。PIPプロセッサ320とゲートアレイ300は、ワイドスクリーン・マイクロプロセッサ(WSP  $\mu$ P)340の制御下にある。マイクロプロセッサ340は、直列母線上でTVマイクロプロセッサ216に応答する。直列母線は、データ、クロック信号、エンピブル信号およびセット信号用として4本の信号ラインを含んでいる。またワイドスクリーン・プロセッサは複合垂直帰線消去/リセット信号を、3レベルSandcastle信号として発生する。あるいは、垂直帰線消去およびリセット信号は別々の信号として発生することができる。複合帰線消去信号はビデオ信号入力部によりRGBインターフェースに供給される。

【0029】偏向回路50(図10に詳しく示す)は、ワイドスクリーン・プロセッサから垂直リセット信号を受け取り、RGBインターフェース60から選択された2f\_n水平同期信号を受け取り、そしてワイドスクリーン・プロセッサから追加的制御信号を受け取る。これらの追加的制御信号は、水平位相調整、垂直サイズ調節および左右系巻き込み調節に関するものである。偏向回路50は2f\_nフライバックパルスで、ワイドスクリーン・プロセッサ、1f\_n/2f\_n変換器40およびYUV/RGB変換器240に供給する。

【0030】ワイドスクリーンテレビジョン全体の動作電圧は、交流主電源で起動することのできる電源70により発生される。

【0031】ワイドスクリーンプロセッサ(WSP)30は図3に詳しく示されている。ワイドスクリーン・プロセッサの主要な構成要素は、ゲートアレイ300、ピ

クチャーインピクチャー（PIP）回路301、アナログ/デジタル変換器、ディジタル/アナログ変換器、第2のチューナ208、WSPマイクロプロセッサ（ $\mu$ P）340およびワイドスクリーン出力コンコーダ227である。ワイドスクリーン・プロセッサは図4に更に詳しく示されている。PIP回路301の重要な部分を形成するPIPプロセッサ320は図5に詳しく示されている。ゲートアレイ300は図6に詳しく示されている。図3に示す構成要素うちの幾つかについてはすでに詳しく説明した。

【0032】第2のチューナ208は、それに関連するIF段224と音声段226を有する。また第2のチューナ208はWSP  $\mu$ P 340と共に動作する。WSP  $\mu$ Pは、入力/出力I/O部340Aおよびアナログ出力部340Bを含んでいる。I/O部340Aは、色相/カラー制御信号、外部RGBビデオ信号源を選択するINT/EXT信号およびスイッチSW1〜SW6の制御信号を供給する。またI/O部はRGBインターフェースからのEXT SYNC DET信号を検査し、偏向回路と陰極線管を保護する。アナログ出力部340Bは、垂直サイズ調節、左右調節および水平位相調整のための制御信号を、それぞれのインターフェース回路254、256および258を介して供給する。

【0033】ゲートアレイ300は、主および補助信号路からのビデオ情報を合成し、例えば、図1に示すように、複合ワイドスクリーン表示を実現する。ゲートアレイに使用するクロック情報は、低域フィルタ376と共に動作する位相固定ループ374から供給される。主ビデオ信号はワイドスクリーン・プロセッサに、アナログ信号形式およびY\_M、U\_MおよびV\_Mと呼ばれるYUV型の信号形式として供給される。これらの信号は、アナログ/デジタル変換器342と346（図4に詳しく示す）によりアナログ形式からデジタル形式に変換される。

【0034】色成分信号はUおよびVという名称を付けられ、UおよびVは、R-YまたはB-Y信号に、あるいはIおよびQ信号に割り当てられる。サンプリングされたルミナンス帯域幅は8MHzに制限される。なぜならば、システムのクロック周波数は102.4MHzであり、これは約16MHzである。1個のアナログ/デジタル変換器と1個のアナログスイッチを使用して、色成分データをサンプリングすることができる。なぜならば、UおよびV信号は500kHzに制限され、ワイドIについては1.5MHzに制限されているからである。アナログスイッチ、あるいはマルチプレクサ344のための選択ラインUV\_MUXは、システムクロックを2で割って得られる8MHzの信号である。ラインSOLパルスの1クロック幅の開始はこの信号を各水平ビデオラインの初めにゼロにリセットする。次にUV\_MUXラインは、その水平ラインを通じて各クロックサイクルご

とに状態が切り換わる。ラインの長さは偶数番号のクロックサイクルなので、UV\_MUXの状態は、ひとたび初期設定されると、中断せずに、0、1、0、1、…と確実に切り換わる。アナログ/デジタル変換器342と346から出るYおよびUVデータの流は変えられる。なぜならば、アナログ/デジタル変換器は各々が1クロックサイクルの遅延を持っているからである。このデータの変移を調整するために、主信号処理路304からのクロックゲート情報も同様に遅延されなければならない。クロックゲート情報が遅延しないとUVデータは、削除される時に、正確に1対にならない。このことは、各1対のUVが1つのベクトルを表わすことが重要である。1つのベクトルからのU要素がもう1つのベクトルからのV要素と1対になると、必ず色の変化を生じる。その代り、以前の対からのVサンプルは現在のUサンプルと共に削除される。このUV多重の方法は、1対の色成分（U、V）サンプルごとに2個のルミナンスサンプルがあるので、2:1:1と呼ばれる。UとVの両方のナイキスト（Nyquist）周波数はルミナンスのナイキスト周波数の1/2に効果的に減らされる。従って、ルミナンス成分のためのアナログ/デジタル変換器の出力のナイキスト周波数は5MHzであるのに対し、色成分のアナログ/デジタル変換器の出力のナイキスト周波数は4MHzである。

【0035】またPIP回路および/またはゲートアレイは、データ圧縮にもかかわらず、補助データの解像度を高める手段も含んでいる。いくつかのデータ減少およびデータ復元方法（例えば、対画素圧縮およびディザリングおよびディザリング）が開発されている。更に、異なるビット数に係わる異なるディザリング・シーケンスおよび異なるビット数に係わる異なる対画素圧縮が考えられている。各画像表示型について表示される画像の解像度を最大限にするために、いくつかのデータ減少および復元方法のうちの1つをWSP  $\mu$ P 340により選択することができる。

【0036】ゲートアレイは、ラインメモリと共に動作する補間器を含んでおり、ラインメモリは、FIFO 356および358として実現される。補間器とFIFOは主信号を希望通りにサンプリングするのに使用される。追加的補間器は補助信号をサンプリングすることができる。ゲートアレイにおけるクロックおよび同期回路は、主信号と補助信号の両方（これらをY\_MX、U\_MXおよびV\_MX成分を有する1個の出力ビデオ信号に結合したものを含む）のデータ操作を制御する。これらの出力成分は、ディジタル/アナログ変換器360、362および364によりアナログ形式に変換される。アナログ形式の信号（Y、U、Vで表される）は1f<sub>sc</sub>/2f<sub>sc</sub>変換器40に供給され、非飛越し走査に変換される。またY、UおよびV信号はエンコーダ227によりY/C型に符号化され、パネルジャッキで得られるワイ

13

D型表示比の出力信号Y<sub>OUT</sub>EXT/C<sub>OUT</sub>EXTを形成する。スイッチSW5は、エンコーダ227のための同期信号(C<sub>SYNC</sub>MN)をゲートアレイから、または(C<sub>SYNC</sub>AUX)をPIP回路から選択する。スイッチSW6は、ワイドスクリーンパネル出力のための同期信号としてY<sub>M</sub>かC<sub>SYNC</sub>AUXのいずれかを選択する。

【0037】水平同期回路は部分的に図9に詳しく示されている。位相比較器228は、低域フィルタ230と電圧制御発振器232と割算器234とコンデンサ236とを含んでいる位相固定ループの一部である。電圧制御発振器232は、セラミック共振器(またはこれと類似したもの)238に接続し、32f<sub>H</sub>で動作する。電圧制御発振器232の出力は32で割られて、位相比較器228に適当な周波数の第2の入力信号を供給する。割算器234の出力は1f<sub>H</sub> REFタイミング信号である。32f<sub>H</sub> REFおよび1f<sub>H</sub> REFタイミング信号は、16で割るカウンタ400に供給される。2f<sub>H</sub>出力はパルス幅回路402に供給される。割算器400を1f<sub>H</sub> REF信号でプリセットすることにより割算器400はビデオ信号入力部の位相固定ループと同期して動作する。パルス幅回路402により、2f<sub>H</sub> - REF信号は十分なパルス幅を持つようになり、位相比較器404(例えば、CA1391型)の適正な動作を確実にする。位相比較器404は、低域フィルタ406と2f<sub>H</sub>電圧制御発振器408を含んでいる第2の位相固定ループの一部を形成する。電圧制御発振器408は内部2f<sub>H</sub>タイミング信号を発生し、前記タイミング信号は順次走査されるディスプレイを駆動するのに用いられる。位相比較器404へのもう1つの入力信号は、2f<sub>H</sub> フライバックパルスか、またはそれに関連するタイミング信号である。位相比較器404を含んでいる第2の位相固定ループを使用することは、各2f<sub>H</sub> 走査期間が入力信号の各1f<sub>H</sub> 期間内で対称的になるようにするのに役立つ。さもないと、ディスプレイは、例えば、ラスタの分裂を呈し、ビデオラインの半分は右に移動し、ビデオラインの半分は左に移動する。

【0038】偏向回路50は図10に詳しく示されている。異なる表示型を実現するのに必要な垂直走査の望ましい量に従って、ラスタの垂直サイズを調節する回路500が設けられている。図に示すように、定電流源502は一定量の電流I<sub>RAMP</sub>を供給して、垂直ランプコンデンサ504を充電する。トランジスタ506は垂直ランプコンデンサ504と並列に結ぶられ、垂直リセット信号に応じてコンデンサを周期的に放電させる。何も調節しないと、電流I<sub>RAMP</sub>はラスタの垂直サイズを最大限度にする。これは、図1の(a)に示すように、4×3型表示比の信号源を伸長してワイドスクリーン表示を満たすのに必要とされる垂直走査に相当する。調節可能な電流源は、必要とされるラスタの

14

垂直サイズがもっと小さくなるまで、可変量の電流I<sub>ADJ</sub>をI<sub>RAMP</sub>からその分だけ、垂直ランプコンデンサ504は更にゆっくりと充電され、もっと小さなピーク値に達する。可変電流源508は、図12に示す垂直サイズ制御回路1030により発生される、例えば、アナログ形式の、垂直サイズ調節信号に応答する。垂直サイズ調節500は手動垂直サイズ調節510とは無関係であり、手動垂直サイズ調節510はポテンシオメータまたはバックパネル調節ノブで行われる。いずれの場合も、垂直偏向コイル512は適当な値のドライブ電流を受け入れる。水平偏向は、位相調節回路518、左右糸巻き歪み補正回路514、2f<sub>H</sub>位相固定ループ520および水平出力回路516により行われる。

【0039】RGBインターフェース回路60は図11に詳しく示されている。最終的に表示される信号は、1f<sub>H</sub>/2f<sub>H</sub>変換器400の出力から外部RGB入力のいずれかが選択される。ここで述べるワイドスクリーンテレビジョンのために、外部RGB入力はワイド型表示比で順次走査される信号源でもあるとする。外部RGB信号、およびビデオ信号入力部20からの複合帰線消去信号は、RGB/YUV変換器610への入力である。外部RGB信号のための外部2f<sub>H</sub>複合同期信号は、外部同期信号分離器600への入力である。垂直同期信号の選択はスイッチ608により行われる。水平同期信号の選択はスイッチ604により行われる。ビデオ信号の選択はスイッチ606により行われる。スイッチ604、606および608は、それぞれWSPμP340により発生される内部/外部制御信号に응答する。内部または外部ビデオ源は利用者が選択する。しかしながら、外部RGB源が接続されておらず、またターンオンされていない時に、利用者が不注意にもこのような外部RGB源を選択するか、あるいはこの外部RGB源がドロップアウトするならば、垂直方向のラスタは削れて、陰極線管に重大な損傷を生じる。従って、外部同期検出器602は外部同期信号が存在するかどうかを検査する。このような信号が無いと、スイッチャーバインド制御信号がスイッチ604、606および608の各々に伝送され、外部RGB源からの信号が存在しない時に外部RGB源の選択を防止する。またRGB/YUV変換器610はWSPμP340から色相およびカラー制御信号を受け取る。

【0040】図4は図3に示すワイドスクリーン・プロセス(WSP)30の詳細を示すブロック図である。Y-A、U-AおよびV-A信号はビクチャーインビクチャー(PIP)プロセッサ320への入力である。PIPプロセッサ320は解像度処理回路を含んでいることがある。本発明の特徴に従うワイドスクリーンテレビジョンはビデオ信号を伸長し圧縮することができる。図1に一部を示す種々の複合表示型で具体化される特殊効果はPIPプロセッサ320により発生され、PIP

ロセッサ320は、解像度処理されたデータ信号Y<sub>U</sub>R<sub>P</sub>、U<sub>U</sub>R<sub>P</sub>およびV<sub>U</sub>R<sub>P</sub>を解像度処理回路370から受け取ることができる。解像度処理は常に行う必要はないが、選択された表示型に関して行われる。PIPプロセッサ320は図5に詳しく示されている。PIPプロセッサの主要構成要素は、アナログ/デジタル変換部322、入力部324、高速スイッチ(FSW)/母線部326、タイミング/制御部328およびアナログ/デジタル変換部330である。

【0041】PIPプロセッサ320は、トムソン・コンシューマ・エレクトロニクス社が開発した基本CPIPチップの改良型として具体化される。基本CPIPチップは、アメリカ合衆国インディアナ州インディアナポリス所在のトムソン・コンシューマ・エレクトロニクス社より入手できる。『CTC140ビデオチャイニクチャー(CPIP) デジタルトレーニングマニュアル』という題名の出版物にも詳しく説明されている。いくつかの特徴あるいは特殊効果が可能であり、以下に実例を示す。基本的特殊効果は、図1の(c)に示すように、大画像の一部の上に小画像が置かれている。大画像と小画像は、同じビデオ信号からでも、異なるビデオ信号からでも、発生され、互いに交換するかあるいは取り替えることができる。一般的に言えば、音声信号は、常に大画像と対応するように切り換えられる。小画像は画面上のどの位置にも移動することができ、あるいは幾つかの予め定められた位置に移動することもできる。ズームの特徴により、例えば、小画像の大きさは、いくつかの予め設定された大きさのうちの任意の1つに拡大または縮小される。例えば、図1の(d)に示す表示型では、大画像と小画像は実際には同じ大きさである。

【0042】例えば、図1の(b)、図1の(e)または図1の(f)に示す単一画像モードで、利用者は単一画像の内容に、1.0対1の比から5.0対1の比まで段階的にズームインすることができる。また一方、ズームモードで利用者は画像内容を検索しあるいはパンし、画像が画面上の異なる場所に移動できるようにする。いずれの場合にも、小画像も大画像もズーム画像もフリーズフレーム(静止画)で表示することができる。この機能はストロボ画像を可能とし、ビデオの最後の9フレームを画面上で繰り返すことができる。フレーム繰り返し速度は、毎秒30フレームから毎秒0フレームまで変えることができる。

【0043】もう1つの発明的構成に従ってワイドスクリーンテレビジョンに使用されるPIPプロセッサは、先に述べた基本的CPIPの構成とは異なる。16×9型画像を有するテレビジョンに基本的CPIPチップを使用しビデオ加速回路を設けなければ、16×9型ワイドスクリーンを走査するため水平方向に4/3倍伸長されるので、挿入画像はアスペクト比の歪みを呈する。画

像内の対象物は水平方向に引き伸ばされる。外部の加速回路を使用すれば、アスペクト比の歪みは生じないが、画像は画面全体を満たさない。

【0044】従来のテレビジョンで用いられる基本的CPIPチップに基づく現存のPIPプロセッサは、或る望ましくない結果を有する特別な方法で動作する。入来ビデオ信号は、主ビデオ源の水平同期信号に固定された640F<sub>H</sub>クロックでサンプリングされる。換言すれば、CPIPチップと関連するビデオRAMに貯えられたデータは、入来補助ビデオ源と直交してサンプリングされない。これは、基本的CPIPフィールド同期法に課せられる根本的制約である。入来サンプリングレート(rate)が非直交性であるとし、サンプリングされたデータのスキュー誤差を生じる。この制約は、データを読み書きする際に同じクロックを使用しなければならない、CPIPチップと共に用いられるビデオRAMより生じた結果である。ビデオRAM350のような、ビデオRAMからのデータが表示されると、スキュー誤差は、画像の縦の線に沿ってランダムジッタとして見られ、極めて好ましくないものと一般に考えられている。

【0045】発明的構成に従い且基本的CPIPチップとは異なるPIPプロセッサ320は、複数の選択可能な表示モードの内の1つにおいてビデオデータを非対称的に圧縮するのに適合している。この動作モードにおいて画像は水平方向に4:1に圧縮され、垂直方向に3:1に圧縮される。この非対称圧縮モードでは、アスペクト比のゆがめられた画像が発生されてビデオRAMに貯えられる。画像内の対象物は水平方向に圧縮される。しかしながら、これらの画像が、16×9型画面上に表示するために、例えば、チャンネル走査モードにおけるように、正常に読み出されるならば、画像は正しく見える。画像は画面を満たし、アスペクト比の歪みは生じない。本発明のこの特徴に従う非対称圧縮モードでは、外部に加速回路を設けずに、16×9型画面上に特殊な表示型を発生することができる。

【0046】全画面PIPモードではPIPプロセッサは、非安定発振器348と共に、デコーダ(例えば、適応型フインクシ形フィルタ)からY/C入力を取り出し、その信号を復号化してY、U、Vカラー成分とし、水平および垂直同期パルスを発生する。これらの信号は、種々の全画面モード(例えば、ズーム、フリーズおよびチャンネル走査)用にPIPプロセッサ内で処理される。例えば、チャンネル走査モードの間に、ビデオ信号入力部からの水平および垂直同期信号は多数の不連続性を有する。なぜなら、サンプリングされた信号(チャンネルが異なる)は関連のない同期パルスを有して、たまためのように思われる瞬時に切り換えられるからである。従ってサンプルクロック(および読取り/書込みビデオRAMクロック)は非安定発振器により決定される。フリーズおよびズームモードでは、サンプルクロック

クは入来ビデオ水平同期信号（これはこの特殊な場合  
に、表示クロック周波数と同じである）に固定される。  
【0047】再び図4に関連して、P I Pプロセッサから  
のアナログ形式のY、U、VおよびC<sub>S</sub> YNC（複  
合同期）出力は、3.58MHz発振器380と共に動作  
するエンコード回路366により、Y/C成分に再び  
符号化することができる。このY/C<sub>P I P</sub> ENC  
信号はY/Cスイッチ（図示せず）に接続され、Y/C  
スイッチは、再び符号化されたY/C成分を主信号のY  
/C成分の代りに使用できるようにする。この点から以  
降、符号化されたP I P Y、U、Vおよび同期信号  
は、シャワーシの他の部分で水平および垂直タイミング  
の基礎となる。この動作モードでは、主信号路内の補間器と  
F I F Oの動作に基づいてP I Pのズームモードを行う  
のに適している。  
【0048】更に図5に関して、P I Pプロセッサ32  
0は、アナログ/デジタル変換部322と、入力部3  
24と、高速スイッチFSW/母線制御部326と、タイ  
ミング/制御部328と、デジタル/アナログ変換  
部330とを含んでいる。一般に、P I Pプロセッサ3  
20はビデオ信号をデジタル化して、ルミナンス  
（Y）および色差信号（U、V）とし、上述したよう  
に、その結果をサブサンプリングして1メガビットのビ  
デオRAM350内に貯える。P I Pプロセッサ320  
と関連するビデオRAM350は1メガビットの記憶容  
量を有する。これは8ビットのサンプルで1フィールド  
全部のビデオデータ貯えるのに十分な大きさの容量で  
はない。メモリ容量を増加すると、高価になり、より複  
雑な制御回路が必要となる。補助チャンネルにおいて  
1サンプル当りのビット数が小さくなると、最終8ビ  
ットのサンプルで処理される主信号と比較して、量子化解  
像度、または帯域幅の縮小となる。この帯域幅の縮小は通  
常、表示される補助画像が比較的小さい時は問題となら  
ないが、表示される補助画像が大きい（例えば、表示さ  
れる主画像と同じ大きさである）時には問題となる。解  
像度処理回路370は、補助ビデオデータの量子化解像  
度または有効帯域幅を増大する1つまたはそれ以上の方  
法を選択的に実現することができる。幾つかのデータ縮  
小およびデータ復元方法（例えば、対画素圧縮、ディザ  
リングおよびディザリングを含む）が開発されてい  
る。ディザリング回路は、ビデオRAM350の下流  
に、例えば、以下に詳しく述べるように、ゲートアレイ  
の補助信号路に、有効に配置される。更に、異なるビッ  
ト数に係わる異なるディザリングおよびディザリングシ  
ーケンス、および異なるビット数に係わる異なる対画素  
圧縮が考えられている。各々の画像表示形式について表  
示される画像の解像度を最大限にするために、いくつか  
の特定のデータ縮小およびデータ復元方法のうちの1つを  
WSPμPによって選択することができる。  
【0049】補助信号のルミナンス信号と色差信号は、

P I Pプロセッサ320の一部を形成するビデオRAM  
内に6ビットの8:1:1、Y、U、V形式で貯えられて  
いる。換言すると、各成分は6ビットのサンプルに量  
子化される。1対の色差サンプルごとに8個のルミナ  
ンスサンプルがある。簡単に言うと、P I Pプロセッサ  
320は、入来ビデオデータが入来補助ビデオ同期信号に  
固定された640f<sub>H</sub>クロック周波数でサンプリングされ  
るモードで動作する。このモードでは、ビデオRAM  
350に貯えられたデータは直交的にサンプリングされ  
る。データはP I PプロセッサのビデオRAM350から  
読み出される時、入来補助ビデオ信号に固定された同  
じ640f<sub>H</sub>クロックを使用して読み出される。しかし  
ながら、このデータは直交的にサンプリングされ貯えら  
れ直交的に読み出すことはできるが、主ビデオ源と補助  
ビデオ源が非同期性なので、ビデオRAM350から直  
接直交的に表示することはできない。主ビデオ源と補助  
ビデオ源は、同じビデオ源からの信号を表示している場  
合にのみ、同期していると考えられる。

【0050】ゲートアレイ300の主信号路304、補  
助信号路306および出力信号路312を図6にブロッ  
ク図で示す。またゲートアレイは、クロック/同期回路  
320とWSPμPデコーダ310を含んでいる。WSPμP  
デコーダ310のデータおよびアドレス出力ライン  
（WSP DATAとして示す）は、上述した主回路  
および信号路の各々に供給されると共に、P I Pプロセ  
ッサ320および解像度処理回路370にも供給され  
る。或る回路がゲートアレイの一部として定められるか  
どうかは主として、発明的構成の説明を容易にするため  
の便宜上の事柄である。

【0051】ゲートアレイは主ビデオチャンネルのビ  
デオデータを伸長し、圧縮し、切り取り、必要ならば、異  
なる画像表示形式を実現する。ルミナンス成分Y<sub>MN</sub>  
は、ルミナンス成分の補間の性質に依り異なる時間の長  
さの間、先入れ先出し（F I F O）ラインメモリ内に  
貯えられる。結合されたクロミナンス成分U/V<sub>MN</sub>は  
F I F O358内に貯えられる。補助信号のルミナンス  
およびクロミナンス成分Y<sub>P I P</sub>、U<sub>P I P</sub>および  
V<sub>P I P</sub>はデマルチプレクサ355により発生され  
る。ルミナンス成分は、回路357において、所望の解  
像度処理を受け、必要に応じて補間器359によって伸  
長され、出力として信号Y<sub>AUX</sub>を発生する。

【0052】例えば図1の（d）に示すように、補助信  
号の表示画像が主信号の画像と同じ大きさになること  
もある。P I PプロセッサおよびビデオRAM350と関  
連するメモリの制約のため、供給されるデータ点または  
画素の数は、そのように大きな表示領域を満たすのに  
は十分となる。このような場合、解像度処理回路357  
を使用して、補助ビデオ信号に画素を取り戻し、データ  
の圧縮または縮小の間に失われた画素の代りに使用す  
ることができる。この解像度処理は、図4に示す回路37

0が行う解像度処理に対応する。一例として、回路370はディザリング回路であり、回路357はディザリング回路である。

【0053】補助チャンネルは $640f_n$ の周波数でサンプリングされ、主チャンネルは $1024f_n$ の周波数でサンプリングされる。補助チャンネルのFIFO354はデータを補助チャンネルのサンプル周波数から主チャンネルのクロック周波数に変換する。この処理において、ビデオ信号は $8/5$  ( $1024/640$ ) 圧縮を受ける。これは、補助チャンネル信号を正確に表示するのに必要な $4/3$ 圧縮よりも大きい。従って、 $4 \times 3$ の小画像を正確に表示するために、補助チャンネルを補間器359によって伸長しなければならない。補間器359は、補間器制御回路371によって制御され、制御回路371自体はWSPμP340に応答する。必要とされる補間器の伸長量は $5/6$ である。伸長率Xは以下のよう

$$X = (640/1024) \times (4/3) = 5/6$$

【0054】クロミナス成分U\_PIPおよびV\_PIPは、ルミナス成分の補間の性質に依り異なる時間10の長さの間、回路367によって遅延され、信号U\_AUXとV\_AUXを出力として発生する。主信号と補助信号のそれぞれのY、UおよびV成分は、FIFO354、356および358の読取りエネイブル信号を制御することにより、出力信号路312におけるそれぞれのマルチプレクサ内で合成される。マルチプレクサ315、317および319は、出力マルチプレクサ制御回路321に1は、クロック信号と、ライン信号の開始と、水平ラインカウンタ信号と、垂直帰線消去リセット信号と、PIPプロセッサおよびWSPμP340からの高速スイッチの出力とに2は、多重化されたルミナス成分とクロミナス成分Y\_MX、U\_MXおよびV\_MXはそれぞれのデジタル/アナログ変換器360、362および364に供給される。図4に示すように、デジタル/アナログ変換器のあとに低域フィルタ361、363および365が働く。PIPプロセッサ、ゲートアレイおよびデータ縮小回路の種々の機能はWSPμP340によって制御される。WSPμP340は、直列母線によってTVμP216に接続されており、TVμP216に2は、直列母線は、図に示すように、4線母線であり、データ、クロック信号、エネイブル信号およびリセット信号用のラインを有する。WSPμP340は、WSPμPデコーダ310を介して、ゲートアレイの種々の回路と通信する。

【0055】1つの場合、表示画像のアスペクト比の歪み1を避けるために、NTSC $4 \times 3$ ビデオ信号を $4/3$ の比で2は、圧縮する必要がある。もう1つの場合、通常は垂直ズームを伴う水平ズームを行うために、ビデオ信号を伸長することができる。33%までの水平ズー

ミングは、圧縮を $4/3$ 以下に減らすことにより、行うことができる。サンプル補間器を使用して、新しい画素位置に入来するビデオ信号を計算し直す。なぜならば、S-VHS方式の場合、5.5MHzまでのルミナスビデオ帯域幅は、ナイキスト折返し周波数( $1024f_n$ クロックに対し8MHz)の大きな割合を占めるからである。

【0056】図6に示すように、ルミナスデータY\_MNは主信号路304内の補間器337を2は、補間器337は、ビデオ信号の圧縮または伸長に基づいてサンプル値を計算し直す。スイッチまたはルータ選択器323および331の機能は、FIFO356と補間器337の相対的位置に関して主信号路304の経路を逆転することである。特にこれらのスイッチは、補間器337がFIFO356よりも先になる(画像の圧縮のために必要)のか、あるいはFIFO356が補間器337よりも先になる(画像の伸長のために必要)のかを選択する。スイッチ323と331はルータ制御回路335に2は、応答し、ルータ制御回路335自体はWSPμP340に2は、応答する。補助ビデオ信号は圧縮されてビデオRAM内に貯えられるので、伸長のみが実用上必要であることが記憶されるであろう。従って、比較し得るスイッチングは補助信号路に必要とされない。

【0057】例えば、FIFOを使用してビデオの圧縮を行うために、4番目のサンプルがFIFO356に書き込まれるのを禁止することである。これは4/3の圧縮を構成する。補間器337の機能は、FIFOに書き込まれているルミナスサンプルを計算し直して、FIFOから読み出されるデータが、ぎざぎざでなく滑らかであるようにすることである。伸長は圧縮とは正反対の方法で行われる。圧縮の場合、書き込みエネイブル信号には、禁止パルスの形でクロックゲート情報が付加2は、ある。データを伸長するために、クロックゲート情報は読取りエネイブル信号に加えられる。これは、FIFO356から読み出されているデータを休止させる。この場合、この伸長処理の間FIFO356のあとに続く補間器337の機能は、サンプリングされたデータを計算し直して、ぎざぎざから滑らかにすることである。伸長の場合データは、FIFO356から読み出されている間、また補間器337の中にクロック制御されている間、休止しなければならない。これは、補間器337を通してデータが抱えずクロックされる圧縮の場合とは異なる。両方(圧縮と伸長)の場合、クロック制御のゲート動作は同期的に容易に行われる。すなわち、システムクロック $1024f_n$ の立上りエッジに基づいて事象は起こり得る。

【0058】補助信号の補間は補助信号路308で行われる。PIP回路301は、6ビットY、U、V、8:1:1フィールドメモリ、ビデオRAM350を操作して、入来ビデオデータを貯える。ビデオRAM350は

21

複数のメモリ位置に2フィールドのビデオデータを保持する。各メモリ位置は8ビットのデータを保持する。8ビットの各位置に、6ビットのY(ルミナンス)サンプル(640f<sub>n</sub>でサンプリングされた)1個および他の2ビットがある。これらの他の2ビットは、高速スイッチのデータあるいは、UまたはVサンプル(80f<sub>n</sub>でサンプリングされた)の一部を保持する。高速スイッチのデータ値は、どのフィールドがビデオRAMに書き込まれたかを示す。ビデオRAM350に2フィールドのデータが貯えられており、ビデオRAM350全体は表示期間中に読み取られるので、両フィールドは表示走査の間に読み取られる。PIP回路301は、どのフィールドがメモリから読み出され高速スイッチのデータを使用して表示されるかを決定する。PIP回路は常に、動きの乱れる問題を解決するために、書き込まれているフィールドと反対のフィールドを読み取る。読み取られているフィールドが表示されているフィールドと反対のフィールドであるならば、ビデオRAMに貯えられた偶数フィールドは、そのフィールドがメモリから読み出される時にそのフィールドの一番上のラインを削除することにより、逆転される。その結果、小画像は、動きの乱れを生じることなく、正確な飛越しを保持する。

【0059】クロック/同期回路320は、FIFO354、356および358を動作させるのに必要な、読取り信号、書込み信号およびエネイブル信号を発生する。主チャンネルと補助チャンネル用のFIFOはエネイブルされて、その後の表示に必要とされる各ビデオラインの部分のためにデータを書き込む。データは主チャンネルまたは補助チャンネルのうちの1つから書き込まれるが両方のチャンネルからは書き込まれない。これは、各ビデオ源からのデータをディスプレイの同じビデオライン上で合成するのに必要である。補助チャンネルのFIFOは補助ビデオ信号と同時に書き込まれるが、主ビデオ信号と同時にメモリから読み出される。主ビデオ信号成分は、主ビデオ信号と同時にFIFO356と358の中に読み込まれ、主ビデオ信号と同時にメモリから読み出される。読取り機能が主チャンネルと補助チャンネルとの間で何回切り換えられるかは、選択された特定の特殊効果の働きによる。

【0060】種々の特殊効果(例えば、並行している切り取られた画像)は、ラインメモリFIFOの読取り/書込みエネイブル制御信号を操作することにより行われる。この表示形式の処理方法を図7と図8に示す。並行している切り取られた表示画像の場合、補助チャンネルの2048×8FIFO354の書込みエネイブル制御信号(WR\_EN\_AX)は、(1/2)×(5/12)=5/12すなわち表示有効ライン期間(加速後)の約41%、または補助チャンネルの有効ライン期間(加速前)の67%について、有効である(図7を参照)。これは約33%の切り取り(約67%の有効画

22

像)および補間器で信号を5/6だけ伸長することに相当する。主ビデオチャンネルでは、図8の上部に示すように、910×8FIFO356と358の書込みエネイブル制御信号(WR\_EN\_MN\_Y)は、(1/2)×(4/3)=0.67すなわち表示有効ライン期間の67%に有効である。これは、約33%の切り取り、および910×8FIFOによって4/3の圧縮比が主チャンネルのビデオ信号に関して行われていることに相当する。

【0061】各々のFIFOにおいてビデオデータは、特定の時点で読み出されるようパッファされる。データが各々のFIFOから読み出される有効時間領域は、選択された表示型により決定される。図に示す、並行している切り取られたモードの例では、主チャンネルの画像は画面の左半分に表示されており、補助チャンネルの画像は画面の右半分に表示されている。図に示すように、波形の任意のビデオ部分は、主チャンネルと補助チャンネルとは異なる。主チャンネルの910×8FIFOの読取りエネイブル制御信号(RD\_EN\_MN)は、ビデオのバックボーン直後の有効画像の開始と共に始まる有効表示ライン期間の50%について有効である。補助チャンネルの読取りエネイブル制御信号(RD\_EN\_AX)は、RD\_EN\_MN信号の立り上がりと共に始まり主チャンネルビデオのフロントボーン開始と共に終了する有効表示ライン期間の残りの50%について有効である。書込みエネイブル制御信号はそれぞれのFIFO入力データ(主または補助)と同期しており、読取りエネイブル制御信号は主チャンネルのビデオ信号と同期していることが注目される。

【0062】図1の(d)に示す表示型は、ほぼ完全なフィールドの2つの画像を並べて表示することができるので、特に望ましい。この表示は、ワイド表示の画像(例えば、16×9)に特に効果的でありそして適している。たいていNTSC信号は4×3型で表わされており、これは勿論、12×9に相当する。4×3表示比の2つのNTSC画像を16×9型表示比の1つの画面に示すには、これらの画像を33%切り取るかつたは33%圧縮するのでアスペクト比の歪みを生じる。利用者の好みにより、切り取られる画像とアスペクト比の歪みとの比率は、0%から33%までの限度内でどのようでも設定できる。一例として、2つの並んでいる画像は、16.7%圧縮し16.7%切り取って表示することでもできる。

【0063】16×9型表示比画面の水平表示時間は4×3型表示比画面と同じである。なぜならば両方共、公称ライン長は62.5マイクロセカンドであるからである。従ってNTSCビデオ信号は、歪みを生じることなく正しいアスペクト比を保持するためには、4/3だけ加速しなければならない。4/3という率は2つの表示型の比として計算される：

$$4/3 = (16/9) / (4/3)$$

ビデオ信号を加速するために、本発明の特徴に従って、可変性補間器が利用される。これまでに、同様な機能を実行するために、入力と出力において異なるクロック周波数を有するFIFOが使用されている。比較として、4×3型表示比の2つのNTSC信号を4×3型表示比の1つの画面に表示するならば、各画像を50%だけ、ゆがめるか切り取るかまたはこの両方を組み合わせなければならない。ワイドスクリーン表示の場合に必要とされるような加速は必要でない。

【0064】一般に、ビデオ表示/偏向システムは主ビデオ信号と同期している。ワイドスクリーン画面を満たすには、上に説明するように、主ビデオ信号を加速しなければならない。補助ビデオ信号は、最初のビデオ信号およびビデオ表示と垂直に同期しなければならない。補助ビデオ信号は、フィールドメモリ内で1フィールド期間のうちの一部だけ遅らせてから、ラインメモリ内で伸張させることができる。補助ビデオデータを主ビデオデータと同期させるには、ビデオRAM350をフィールドメモリとして使用し、先入れ先出し(FIFO)ラインメモリ装置354を使用して信号を伸張する。

【0065】しかしながら、読取り/書き込みクロックは非同期的なため、読取り/書き込みポイントの衝突を避ける手段を取らなければならない。読取り/書き込みポイントの衝突は、新しいデータがFIFOの中へ書き込まれないうちに古いデータがFIFOから読み出される時に起こる。また読取り/書き込みポイントの衝突は、古いデータがFIFOから読み出されないうちに新しいデータがメモリ上に書かれる時に起こる。FIFOの大きさは、読取り/書き込みポイントの衝突を避けるのに当然必要であると考えられる、最小ライン記憶容量と関連する。

【0066】PIPプロセッサは、来入補助ビデオ信号の水平同期成分に固定された640f<sub>H</sub>クロックで補助ビデオデータがサンプリングされるように動作する。この動作で、直交サンプリングされたデータをビデオRAM350の中に貯えることができる。データは、同じ640f<sub>H</sub>の速度でビデオRAMから読み出されなければならない。主ビデオ源と補助ビデオ源は一般に非同期的なため、データを、修正せずにビデオRAMから直交表示することはできない。補助信号が主信号に同期するのを容易にするために、独立した書き込み/読取りポートクロックを有するラインメモリが、ビデオRAM350の出力の後の補助信号路に配置される。

【0067】更に、図4に示すように、ビデオRAM350の出力は、2個の4ビットラッチ(352Aと352B)のうちの最初のラッチの入力である。VRAM<sub>OUT</sub>出力は4ビットのデータブロック内にある。4ビットのラッチは、補助信号を再結合して4ビットのデータブロックの中へ戻すのに使用される。またこれらのラ

ッチはデータクロック周波数を1280f<sub>H</sub>から640f<sub>H</sub>に減少させる。8ビットのデータブロックは、ビデオRAM350内に貯える補助ビデオデータをサンプリングするのに使用されるのと同じ640f<sub>H</sub>のクロックによってFIFO354の中に書き込まれる。FIFO354の大きさは2048×8である。8ビットのデータブロックは、主ビデオ信号の水平同期成分に固定されている1024f<sub>H</sub>の表示クロックによってFIFO354から読み出される。この基本的構成は、独立した読取り/書き込みポートクロックを有する多重ラインメモリを使用し、直交サンプリングされたデータを直交表示することができる。8ビットのデータブロックは、デマルチプレクサ355によって6ビットのルミナンスおよび色差サンプルに分割される。次にこれらのデータサンプルは、希望する表示比を得るために必要なので、補間され、ビデオデータ出力として書き込まれる。

【0068】補助チャンネルのFIFOからのデータの読取りと書き込みは非同期的であり、読取りクロック速度は書き込みクロック速度よりもかなり速いので、読取り/書き込みポイントの衝突の可能性がある。読取り/書き込みポイントの衝突が起こるのは、すでに前に読まれている古いデータが新しく書かれたデータと取り替えられないうちに、読取りエンベロープ信号が受信される時である。完全な飛越しも保持しなければならない。補助チャンネルのFIFOにおける読取り/書き込みポイントの衝突を避けるために、十分に大きなメモリを最初に選ばなければならない。

【0069】ワイド型表示比のテレビジョンの特に有利な点は、垂直解像度を追加するために信号を補間する必要があるが、ワイド型表示比の画面を満たすためにレターボックス信号が伸張できることである。本発明の特徴に従い、レターボックス自動検出回路が働いたら、16×9型レターボックス表示を含む、4×3型表示比の信号の伸張を自動的に行う。

【0070】レターボックス信号の垂直高さを増加するために、ビデオ信号の垂直走査速度を増加して、画像の上部と底部の黒い部分が除去されるか、または少なくともかなり縮小されるようにする。自動レターボックス検出器は、ビデオ信号は有効ビデオ(すなわち、閾値よりも高くない、ほぼ一定のルミナンス値)を持たないという仮定に基づいて行うことができる。あるいは、レターボックスの検出は、ビデオフィールドにおける各ラインについて2つの勾配を計算することにより行うことができる。この2つの勾配を計算するには4つの値(現在のラインの最大値と最小値、および前のラインの最大値と最小値)が必要とされる。第1の勾配(正の勾配と呼ばれる)は、現在のラインの最大値から前のラインの最小値を引き算することにより形成される。第2の勾配(負の勾配と呼ばれる)は、前のラインの最大値から現在のラインの最小値を引き算することにより形成される。これ

らの勾配はどちらも、場面の内容に依り、正または負の値を持つが、両勾配の負の値は無視される。なぜなら、一度に1つの勾配だけが負となり、正の値を持つ勾配の大きさは常に、負の値を持つ勾配よりも大きいからである。このことは、勾配の絶対値を計算する必要を無くすことにより、回路を単純にする。どちらかの勾配がプログラム可能閾値を超える正の値を持つならば、現在のラインかまたは前のラインのいずれかにビデオが存在すると考えられる。これらのレジスタ値をマイクロコンピュータで使用して、そのビデオ源がレターボックス型であるかどうかを決定することができる。

【0071】もう1つの別の方法(図示されていない)では、自動レターボックス検出器は、レターボックス信号源によって運ばれる符号ワードまたは信号を復号化して、レターボックス型の信号を識別する回路を含んでいる。

【0072】図12は、垂直サイズ制御回路1030の一部として、自動レターボックス検出器を示す。垂直サイズ制御回路は、レターボックス検出器1032、垂直表示制御回路1034および3状態出力装置1036を含んでいる。別の方法として垂直帰線消去および垂直リセットパルスを用いた信号として伝送することができる。発明的構成に従い、自動レターボックス検出回路は、16×9型レターボックス表示を含む、4×3型表示比の信号の垂直方向にズームするかわち伸長を自動的に行うことができる。出力信号VERTICAL SIZE ADJが有効になると、垂直偏向高さは4/3だけ増加され(図10参照)、レターボックス信号の有効画像部分は、アスペクト比の歪みを生じることなく、ワイドスクリーンを満たすことができる。

【0073】また垂直表示制御回路は、過走査されたラスタのどの部分が画面に表示されるのかを制御する。これは、垂直バニングと呼ばれる特徴である。垂直方向に過走査されたビデオ信号がレターボックス型でなければ、従来の表示型の画像は、ワイドスクリーン型に見せかけるために、ズーム、すなわち伸長、することができる。しかしながら、この場合、4/3垂直過走査により切り取られた画像の部分は有効な画像情報を含んでいる。画像の1/3を垂直方向に切り取る必要がある。それ以上の調節をしないと、上部の1/6と底部の1/6は常に切り取られる。しかしながら、画像内容により、画像の底部よりも上部をもっと切り取った方が良いかあるいはその逆の方が良いか、が指示される。すべての動作が、例えば、地上レベルで行われているならば、視聴者はもっと空の部分の切り取ることを好むかも知れない。垂直バニングにより、ズームされた画像のどの部分が画面に表示されどの部分が切り取られるのかを選択することができる。

【0074】垂直バニングを図13および図14の

(a)～(c)に関して説明する。3レベルの複合垂直

帰線消去/リセット信号が図13の上部に示されている。これらの信号は別々に発生することができる。垂直帰線消去パルスは、信号L\_COUNTがVRT\_BLNK0と等しくなった時に始まり、L\_COUNTがVRT\_BLNK1と等しくなった時に終る。垂直リセットパルスは、L\_COUNTがVRT\_PHASEと等しくなった時に始まる。L\_COUNTは、VSYNC\_MNの前縁に関して1/2水平ラインを追跡してゆくのを使用される10ビットのカウンタの出力である。VSYNC\_MNはVDRV\_MNの同期した形であり、ゲートアレイに供給される主信号の垂直同期成分である。VRT\_BLNK0とVERT\_BLNK1は、垂直バニングコマンドに依りマイクロプロセッサより供給される。VRT\_PHASEは、COMP\_SYNC出力の垂直同期成分の立上りエッジとVERT\_RST出力の相対的位相をプログラムする。COMP\_SYNC出力はJ-Kフリップ/フロップの出力である。フリップ/フロップの状態は、L\_COUNTとH\_COUNTの出力を復号化することにより決定される。H\_COUNTは水平位置カウンタである。L\_COUNTカウンタは、水平同期パルスと等化パルスと垂直同期パルスに対応する3つの部分にCOMP\_SYNC信号を分割するのを使用される。

【0075】過走査の無い(実際には通常の、6%の過走査に関する)場合の垂直偏向電流は、対応する垂直帰線信号と共に、点線で示されている。過走査の無い場合の垂直帰線消去パルスの幅はCである。垂直同期パルスは垂直リセットパルスと同相である。過走査モードの場合の垂直偏向電流は、対応する垂直帰線消去パルス(パルス幅Dを有する)と共に、実線で示されている。

【0076】底部の過走査Aと上部の過走査Bが等しければ、画面は図14の(a)に示すようになる。垂直リセットパルスが垂直同期パルスより遅れて発生されるならば、底部過走査Aは上部過走査Bよりも少なくなり、図14の(b)に示すような画面となる。これは下方への垂直バニングであり、画像の下部が表示され画像の上部1/3は消去される。逆に、垂直リセットパルスが垂直同期パルスよりも先に発生されると、底部過走査Aは上部過走査Bよりも多くなり、図14の(c)に示す画面となる。これは上方への垂直バニングであり、画像の上部が表示され、画像の底部1/3は消去される。垂直同期信号と垂直リセット信号の相対的位相は、WSPμP34.0により制御可能であり、過走査動作モードの間に、垂直方向のバニングを可能にする。過走査されたラスタは、垂直バニングの間、受像管またはスクリーン上で垂直方向に中央に置かれている。すなわち対称的位置にある。ことが認められるであろう。画像の底部よりも上部をもっと消去する(またはこれと逆に)するために、帰線消去期間を、ラスタの中心に関し非対称的に、垂直に移動させまたは位置させることができる。

10

20

30

40

50

【0077】図15は、発明的構成による垂直リセットパルス発生回路1100を示す。信号名が“N”で終わる信号は、低い（論理“0”）とき能動状態となる信号を示す。例えば、回路1100における全てのフリップフロップおよびカウンタは、負方向性のパルスであるシステムクリア信号CLRNによりクリアされる。カウンタ1101と比較器1103は、パニングの間、垂直リセット（Vrst）を開始させるための制御信号を発生する手段を形成する。カウンタ1101は、例えば、1024f<sub>H</sub>のシステムクロックによりクロック制御される。カウンタ1101は1/2ラインカウンタであり、1ライン期間当たり2回生じる1クロック幅のパルスである信号SOL\_X\_2により計数する（CEN）ように作動される。カウンタ1101は、Vsync前縁に生じる1クロック幅のパルスであるVsync\_Eによりクリアされる（CLR）。カウンタ1101の出力（CNT）は、比較器1103への第1の入力である。比較器1103への第2の inputs は、所望のパン値に対応するDELAY SETTINGである。画像をわずかな量（例えば4〜5ライン）だけ上方へずらす（これは画像を下方へスクロールすると考えることもできる）ことが望ましいならば、垂直リセットパルスは262.5ラインからパン値を引いたライン数だけ垂直同期パルスから実際には遅延されている。この差が遅延設定であり、すなわち遅延値である。カウンタ1101の出力がこの遅延値に一致するといつも、開始リセット信号（Str\_Rst）が発生される。Str\_Rst信号は、1ライン期間の1/2の長さの、正方向のパルスである。このパルスの前縁は、所望の垂直リセット期間の始まりを表す。

【0078】垂直パニングを行うときに遭遇する1つの問題は、VCR再生の特殊効果モードの間にある。VCRの高速前進モードでは、線形のテープ速度が非標準性のものであるため、1フィールドにおけるライン数は、記録モード（SP、LPまたはSLP）および線形のテープ速度に依存する数だけ減少する。ここで説明するVCR再生の高速前進モード（SPモード）に含まれている1フィールド当りの公称ライン数は253.5ラインであると仮定する。所望のパン値が5ラインだけ下がるものならば遅延の設定は、262.5ライン-5ライン=257.5ラインとなる。しかしながら、新しいVsync（Vsync-E）は253.5ラインごとには起こり、1/2ラインカウンタをリセットする。このモードの間、垂直リセットは起こらない。なぜならば、1/2ラインカウンタ1101は所望の遅延値に決して達することなく、絶えずリセットされるからであり、垂直ラスタの崩壊と受像管の損傷を生じることがある。

【0079】回路1100は、Vsyncの位相および垂直リセットの為の遅延設定に関係なく垂直リセットパ

ルスの発生を確実にものにする。垂直同期信号Vsyncは、1ライン期間当たり2回生じる1クロック幅のパルスSOL\_X\_2によりサンプリングされる。垂直同期パルスは、例えば、1ライン期間の1/16あるいは1/8だけSOL\_X\_2から確実にオフセットしているように処理されている。D-型のフリップフロップ1102、1104および1106を使い、SOL\_X\_2で垂直同期パルスをサンプリングすると、垂直同期パルスはSOL\_X\_2と再整合する。このような再整合のためのサンプリングは、他のシステムでは必要ないかもしれない。Str\_Rstの前縁は、所望の垂直リセット期間の始まりを表す。1フィールド内のライン数がStr\_Rst信号を発生するために使われる遅延設定値より大きいと等しいならば、Str\_Rstの前縁は、所望の垂直リセットの長さを計数し、停止する第2の1/2ラインカウンタ1114をクリアするために使われる。

【0080】カウンタ1114は、1アゲート1120への3つの入力の中の一つの信号によりクリアされる。第1の入力は、先に説明したように、Str\_Rstパルスにตอบสนองする。第2の入力は、システムスリア信号CLRNにตอบสนองする、第3の入力は、次に説明するように、Vsyncにตอบสนองする。

【0081】1フィールド中のライン数がStr\_Rst信号を発生するために使われる遅延値より少ない場合に、別の方法により垂直リセットVrstを確実に発生する。何故なら、Str\_Rst信号は発生されない。J-Kフリップフロップ1112は、サンプリングされた垂直同期信号の前縁でセットされる。フリップフロップ1112の出力は、次のサンプリングされる垂直同期信号のためのアンドゲート1116を介してエネイブル信号として使われる。フリップフロップ1112がセットされてからStr\_Rstパルスが発生していないければ、Vrst信号を発生するために使われるカウンタ1114は、次にサンプリングされる垂直同期信号の前縁でクリアされる。このようにして、Vsync信号が存在する限り、1フィールド内のライン数もしくはStr\_Rst信号のための所望の遅延設定に関係なく、正確な長さのVrstパルスが発生される。Str\_Rstが発生されると、Str\_Rst信号の前縁がJ-Kフリップフロップ1112をクリアし、Str\_Rstパルスに基づいてVrst信号を発生する。

【0082】垂直リセットパルスVrstを発生するために、カウンタのエネイブル信号の中の1つを使用してもよい。例示した実施例では、ナンドゲート1118においてQB（2<sup>1</sup>）およびQC（2<sup>2</sup>）について復号化するために、所望の垂直リセットの長さは6×1/2ライン（3ライン）についてセットされる。6×1/2ライン以外の垂直リセットの長さも、カウンタ1114の他の出力状態を復号化することにより選択することが

できる。

【図面の簡単な説明】

【図1】ワイドスクリーンテレビジョンの種々の表示型を説明するのに役に立つ図である。

【図2】本発明の特徴に従い且つ2f<sub>H</sub>の水平走査で動作するのに適合した、ワイドスクリーンテレビジョンのブロック図である。

【図3】図2に示すワイドスクリーンプロセッサのブロック図である。

【図4】図3に示すワイドスクリーンプロセッサの詳細を示すブロック図である。

【図5】図4に示すピクチャーインピクチャープロセッサのブロック図である。

【図6】図4に示すゲートアレイのブロック図であり且つ、主信号路、補助信号路および出力信号路を示す。

【図7】十分に切り取られた信号を使用する、図1の(d)に示す表示型の発生を説明するのに役立つタイミング図である。

【図8】十分に切り取られた信号を使用する、図1の(d)に示す表示型の発生を説明するのに役立つタイミング図である。

【図9】1f<sub>H</sub>から2f<sub>H</sub>への変換で内部の2f<sub>H</sub>信号を発生する回路のブロック図である。

【図10】図2に示す偏向回路のブロック図と回路図の組み合わせである。

【図11】図2に示すRGBインターフェースのブロック図である。

【図12】自動レターボックス検出器を含んでいる、垂直サイズ制御回路のブロック図である。

\*【図13】垂直バニングの実現を説明するのに役立つタイミング図である。

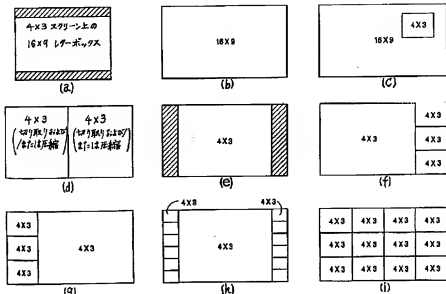
【図14】図13のタイミング図を説明するのに役立つ表示型の図である。

【図15】垂直リセットパルス発生回路のブロック図である。

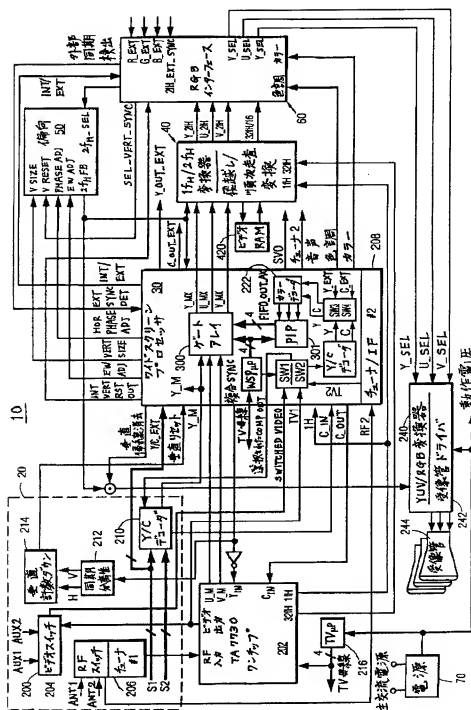
【符号の説明】

- 30 ワイドスクリーンプロセッサ (WSP)
- 216 TVマイクロプロセッサ
- 320 PIPプロセッサ
- 340 ワイドスクリーンマイクロプロセッサ (WSPμP)
- 1030 垂直サイズ制御回路
- 1032 レターボックス検出器
- 1034 垂直表示制御回路
- 1036 3状態出力装置
- 1100 垂直リセットパルス発生回路
- 1101 カウンタ
- 1101 D-型フリップフロップ
- 1103 比較器
- 1104 D-型フリップフロップ
- 1106 D-型フリップフロップ
- 1108 D-型フリップフロップ
- 1110 D-型フリップフロップ
- 1112 J-Kフリップフロップ
- 1114 カウンタ
- 1116 アンドゲート
- 1118 ナンドゲート
- 1120 ノアゲート

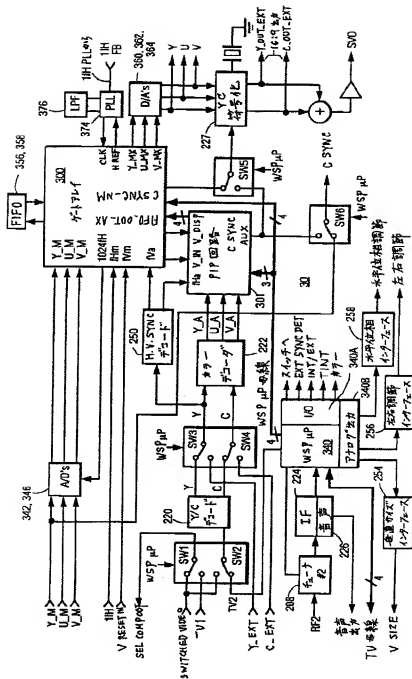
【図1】



【図2】



【図3】



The diagram illustrates the video processing system for a color monitor. It shows the flow of signals from input to the final output on the monitor.

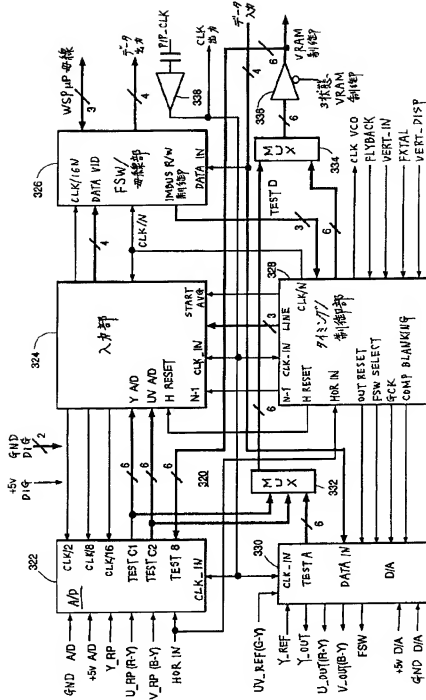
**Input Signals:**

- $Y\_M$ ,  $U\_M$ ,  $V\_M$ : Video signals.
- $EXT SYNC DET$ : External sync detection signal.
- $1H REF$ ,  $INT 2H$ ,  $2H FLYBACK$ : Timing signals.
- $f_{vm}$ ,  $f_{va}$ ,  $f_{ha}$ : Frequency signals.
- $Y\_A$ ,  $U\_A$ ,  $V\_A$ : Analog signals.
- $COMP SYNC$ : Composite sync signal.
- $WSP\_HP$ : Horizontal sync signal.
- $TV\_HP$ : Horizontal sync signal.

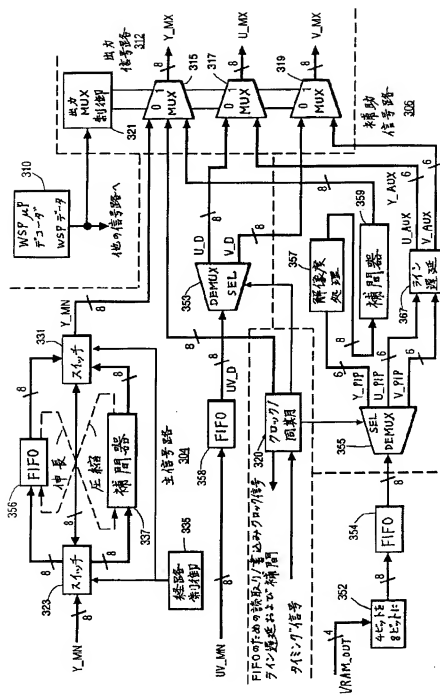
**Processing Blocks:**

- 341, 343, 345:** LPF (Low Pass Filter) blocks for  $Y\_M$ ,  $U\_M$ , and  $V\_M$  respectively.
- 344:** MUX (Multiplexer) block.
- 346:** 10241 Hm block.
- 347:** 320 block.
- 348:** 350 MHz 倍速器 (350 MHz multiplier).
- 349:** 350 MHz 倍速器 (350 MHz multiplier).
- 350:** RAM (Random Access Memory).
- 351:** 350 MHz 倍速器 (350 MHz multiplier).
- 352:** 350 MHz 倍速器 (350 MHz multiplier).
- 353:** 350 MHz 倍速器 (350 MHz multiplier).
- 354:** 350 MHz 倍速器 (350 MHz multiplier).
- 355:** 350 MHz 倍速器 (350 MHz multiplier).
- 356:** 350 MHz 倍速器 (350 MHz multiplier).
- 357:** 350 MHz 倍速器 (350 MHz multiplier).
- 358:** 350 MHz 倍速器 (350 MHz multiplier).
- 359:** 350 MHz 倍速器 (350 MHz multiplier).
- 360:** 350 MHz 倍速器 (350 MHz multiplier).
- 361:** 350 MHz 倍速器 (350 MHz multiplier).
- 362:** 350 MHz 倍速器 (350 MHz multiplier).
- 363:** 350 MHz 倍速器 (350 MHz multiplier).
- 364:** 350 MHz 倍速器 (350 MHz multiplier).
- 365:** 350 MHz 倍速器 (350 MHz multiplier).
- 366:** 350 MHz 倍速器 (350 MHz multiplier).
- 367:** 350 MHz 倍速器 (350 MHz multiplier).
- 368:** 350 MHz 倍速器 (350 MHz multiplier).
- 369:** 350 MHz 倍速器 (350 MHz multiplier).
- 370:** 350 MHz 倍速器 (350 MHz multiplier).
- 371:** 350 MHz 倍速器 (350 MHz multiplier).
- 372:** 350 MHz 倍速器 (350 MHz multiplier).
- 373:** 350 MHz 倍速器 (350 MHz multiplier).
- 374:** 350 MHz 倍速器 (350 MHz multiplier).
- 375:** 350 MHz 倍速器 (350 MHz multiplier).
- 376:** 350 MHz 倍速器 (350 MHz multiplier).
- 377:** 350 MHz 倍速器 (350 MHz multiplier).
- 378:** 350 MHz 倍速器 (350 MHz multiplier).
- 379:** 350 MHz 倍速器 (350 MHz multiplier).
- 380:** 350 MHz 倍速器 (350 MHz multiplier).
- 381:** 350 MHz 倍速器 (350 MHz multiplier).
- 382:** 350 MHz 倍速器 (350 MHz multiplier).
- 383:** 350 MHz 倍速器 (350 MHz multiplier).
- 384:** 350 MHz 倍速器 (350 MHz multiplier).
- 385:** 350 MHz 倍速器 (350 MHz multiplier).
- 386:** 350 MHz 倍速器 (350 MHz multiplier).
- 387:** 350 MHz 倍速器 (350 MHz multiplier).
- 388:** 350 MHz 倍速器 (350 MHz multiplier).
- 389:** 350 MHz 倍速器 (350 MHz multiplier).
- 390:** 350 MHz 倍速器 (350 MHz multiplier).
- 391:** 350 MHz 倍速器 (350 MHz multiplier).
- 392:** 350 MHz 倍速器 (350 MHz multiplier).
- 393:** 350 MHz 倍速器 (350 MHz multiplier).
- 394:** 350 MHz 倍速器 (350 MHz multiplier).
- 395:** 350 MHz 倍速器 (350 MHz multiplier).
- 396:** 350 MHz 倍速器 (350 MHz multiplier).
- 397:** 350 MHz 倍速器 (350 MHz multiplier).
- 398:** 350 MHz 倍速器 (350 MHz multiplier).
- 399:** 350 MHz 倍速器 (350 MHz multiplier).
- 400:** 350 MHz 倍速器 (350 MHz multiplier).
- 401:** 350 MHz 倍速器 (350 MHz multiplier).
- 402:** 350 MHz 倍速器 (350 MHz multiplier).
- 403:** 350 MHz 倍速器 (350 MHz multiplier).
- 404:** 350 MHz 倍速器 (350 MHz multiplier).
- 405:** 350 MHz 倍速器 (350 MHz multiplier).
- 406:** 350 MHz 倍速器 (350 MHz multiplier).
- 407:** 350 MHz 倍速器 (350 MHz multiplier).
- 408:** 350 MHz 倍速器 (350 MHz multiplier).
- 409:** 350 MHz 倍速器 (350 MHz multiplier).
- 410:** 350 MHz 倍速器 (350 MHz multiplier).
- 411:** 350 MHz 倍速器 (350 MHz multiplier).
- 412:** 350 MHz 倍速器 (350 MHz multiplier).
- 413:** 350 MHz 倍速器 (350 MHz multiplier).
- 414:** 350 MHz 倍速器 (350 MHz multiplier).
- 415:** 350 MHz 倍速器 (350 MHz multiplier).
- 416:** 350 MHz 倍速器 (350 MHz multiplier).
- 417:** 350 MHz 倍速器 (350 MHz multiplier).
- 418:** 350 MHz 倍速器 (350 MHz multiplier).
- 419:** 350 MHz 倍速器 (350 MHz multiplier).
- 420:** 350 MHz 倍速器 (350 MHz multiplier).
- 421:** 350 MHz 倍速器 (350 MHz multiplier).
- 422:** 350 MHz 倍速器 (350 MHz multiplier).
- 423:** 350 MHz 倍速器 (350 MHz multiplier).
- 424:** 350 MHz 倍速器 (350 MHz multiplier).
- 425:** 350 MHz 倍速器 (350 MHz multiplier).
- 426:** 350 MHz 倍速器 (350 MHz multiplier).
- 427:** 350 MHz 倍速器 (350 MHz multiplier).
- 428:** 350 MHz 倍速器 (350 MHz multiplier).
- 429:** 350 MHz 倍速器 (350 MHz multiplier).
- 430:** 350 MHz 倍速器 (350 MHz multiplier).
- 431:** 350 MHz 倍速器 (350 MHz multiplier).
- 432:** 350 MHz 倍速器 (350 MHz multiplier).
- 433:** 350 MHz 倍速器 (350 MHz multiplier).
- 434:** 350 MHz 倍速器 (350 MHz multiplier).
- 435:** 350 MHz 倍速器 (350 MHz multiplier).
- 436:** 350 MHz 倍速器 (350 MHz multiplier).
- 437:** 350 MHz 倍速器 (350 MHz multiplier).
- 438:** 350 MHz 倍速器 (350 MHz multiplier).
- 439:** 350 MHz 倍速器 (350 MHz multiplier).
- 440:** 350 MHz 倍速器 (350 MHz multiplier).
- 441:** 350 MHz 倍速器 (350 MHz multiplier).
- 442:** 350 MHz 倍速器 (350 MHz multiplier).
- 443:** 350 MHz 倍速器 (350 MHz multiplier).
- 444:** 350 MHz 倍速器 (350 MHz multiplier).
- 445:** 350 MHz 倍速器 (350 MHz multiplier).
- 446:** 350 MHz 倍速器 (350 MHz multiplier).
- 447:** 350 MHz 倍速器 (350 MHz multiplier).
- 448:** 350 MHz 倍速器 (350 MHz multiplier).
- 449:** 350 MHz 倍速器 (350 MHz multiplier).
- 450:** 350 MHz 倍速器 (350 MHz multiplier).
- 451:** 350 MHz 倍速器 (350 MHz multiplier).
- 452:** 350 MHz 倍速器 (350 MHz multiplier).
- 453:** 350 MHz 倍速器 (350 MHz multiplier).
- 454:** 350 MHz 倍速器 (350 MHz multiplier).
- 455:** 350 MHz 倍速器 (350 MHz multiplier).
- 456:** 350 MHz 倍速器 (350 MHz multiplier).
- 457:** 350 MHz 倍速器 (350 MHz multiplier).
- 458:** 350 MHz 倍速器 (350 MHz multiplier).
- 459:** 350 MHz 倍速器 (350 MHz multiplier).
- 460:** 350 MHz 倍速器 (350 MHz multiplier).
- 461:** 350 MHz 倍速器 (350 MHz multiplier).
- 462:** 350 MHz 倍速器 (350 MHz multiplier).
- 463:** 350 MHz 倍速器 (350 MHz multiplier).
- 464:** 350 MHz 倍速器 (350 MHz multiplier).
- 465:** 350 MHz 倍速器 (350 MHz multiplier).
- 466:** 350 MHz 倍速器 (350 MHz multiplier).
- 467:** 350 MHz 倍速器 (350 MHz multiplier).
- 468:** 350 MHz 倍速器 (350 MHz multiplier).
- 469:** 350 MHz 倍速器 (350 MHz multiplier).
- 470:** 350 MHz 倍速器 (350 MHz multiplier).
- 471:** 350 MHz 倍速器 (350 MHz multiplier).
- 472:** 350 MHz 倍速器 (350 MHz multiplier).
- 473:** 350 MHz 倍速器 (350 MHz multiplier).
- 474:** 350 MHz 倍速器 (350 MHz multiplier).

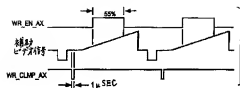
【図5】



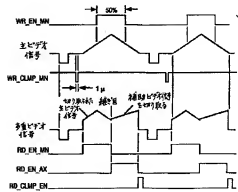
【図6】



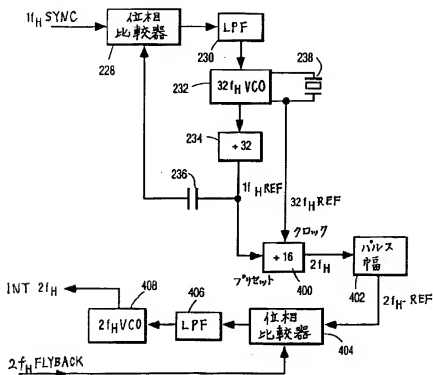
【図7】



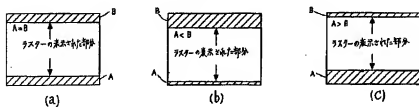
【図8】



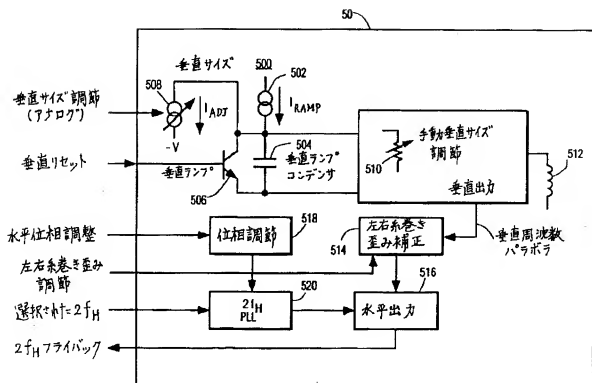
【図9】



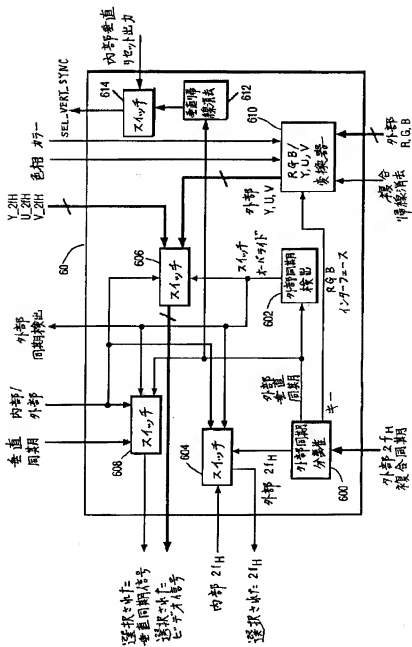
【図14】



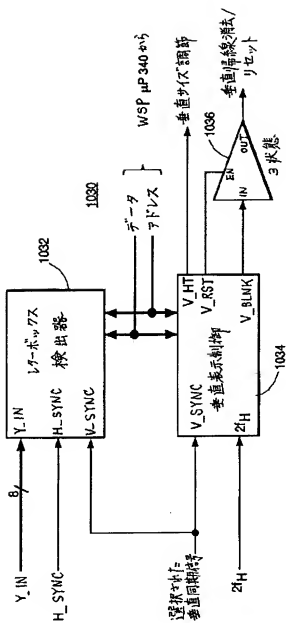
【図10】



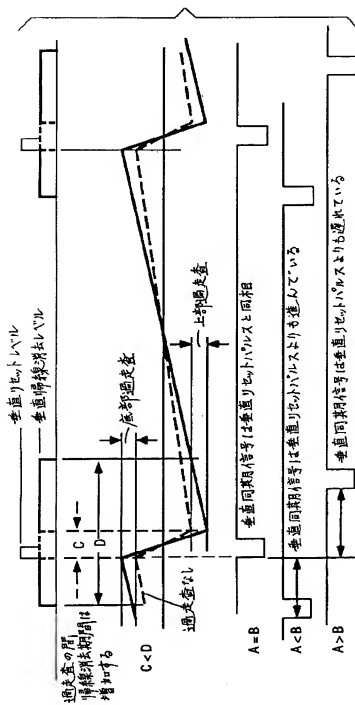
【図11】



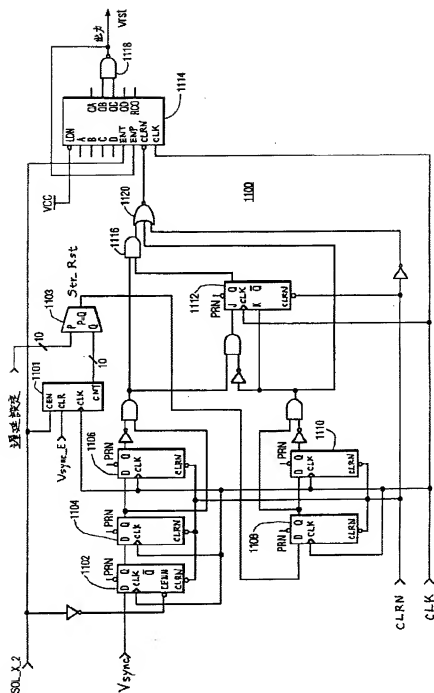
【図12】



【図13】



【図15】



フロントページの続き

(72)発明者 カール フランシス ホランダ－  
 アメリカ合衆国 インディアナ州 インデ  
 イアナポリス ノース・デキシ－ 1226